

(translation attached)

CLIPPEDIMAGE= JP410275905A

PAT-NO: JP410275905A

DOCUMENT-IDENTIFIER: JP 10275905 A

TITLE: SILICON WAFER MANUFACTURING METHOD
AND SILICON WAFER

PUBN-DATE: October 13, 1998

INVENTOR-INFORMATION:

NAME

YAMAMOTO, HIDEKAZU

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP09080939

APPL-DATE: March 31, 1997

INT-CL_(IPC): H01L027/12; H01L021/02

ABSTRACT:

PROBLEM TO BE SOLVED: To manufacture an SOI structured semiconductor wafer having no defective surface by a method wherein the surface whereon a silicon wafer that is the part laminated with a substrate member and then peeled is annealed in hydrogen atmosphere to be peeled is

flattened.

SOLUTION: A silicon oxide film 2 is formed on the surface of a silicon wafer member 1 for implanting hydrogen ion on the surface of the film 2 to form a hydrogen implanted layer 4. Later, a substrate member 5 is laminated with the main surface of the silicon wafer member 1 and then the silicon wafer member 1 is heated so as to peel the surface part of the silicon wafer member 1 on the laminated side of the substrate member 5 from the hydrogen implanted layer 4 to manufacture a silicon wafer 6. Next, the silicon wafer 6 on the part of the laminated side with the substrate member 5 is annealed in hydrogen atmosphere to planarize the peeled surface. Through these procedures, the surface layer bearing excellent characteristics affected by no chemical mechanical polishing steps at all can be manufactured.

COPYRIGHT: (C)1998,JPO



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10275905 A**(43) Date of publication of application: **13.10.98**

(51) Int. Cl
H01L 27/12
H01L 21/02

(21) Application number: **09080939**(22) Date of filing: **31.03.97**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **YAMAMOTO HIDEKAZU**

(54) **SILICON WAFER MANUFACTURING METHOD
 AND SILICON WAFER**

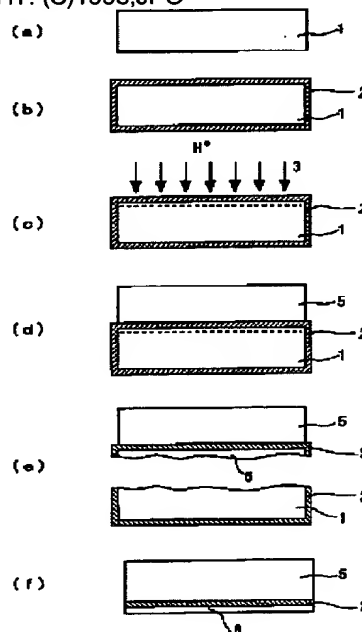
(57) Abstract:

PROBLEM TO BE SOLVED: To manufacture an SOI structured semiconductor wafer having no defective surface by a method wherein the surface whereon a silicon wafer that is the part laminated with a substrate member and then peeled is annealed in hydrogen atmosphere to be peeled is flattened.

SOLUTION: A silicon oxide film 2 is formed on the surface of a silicon wafer member 1 for implanting hydrogen ion on the surface of the film 2 to form a hydrogen implanted layer 4. Later, a substrate member 5 is laminated with the main surface of the silicon wafer member 1 and then the silicon wafer member 1 is heated so as to peel the surface part of the silicon wafer member 1 on the laminated side of the substrate member 5 from the hydrogen implanted layer 4 to manufacture a silicon wafer 6. Next, the silicon wafer 6 on the part of the laminated side with the substrate member 5 is annealed in hydrogen atmosphere to planarize the peeled surface. Through these procedures, the surface layer bearing excellent characteristics affected by no chemical mechanical polishing steps at all can be

manufactured.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 0 - 2 7 5 9 0 5

(43) 公開日 平成 1 0 年 (1 9 9 8) 1 0 月 1 3 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/12			H01L 27/12	B
21/02			21/02	B

審査請求 未請求 請求項の数 8 O L (全 5 頁)

(21) 出願番号 特願平 9 - 8 0 9 3 9

(22) 出願日 平成 9 年 (1 9 9 7) 3 月 3 1 日

(71) 出願人 0 0 0 0 0 6 0 1 3

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 山本 秀和

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

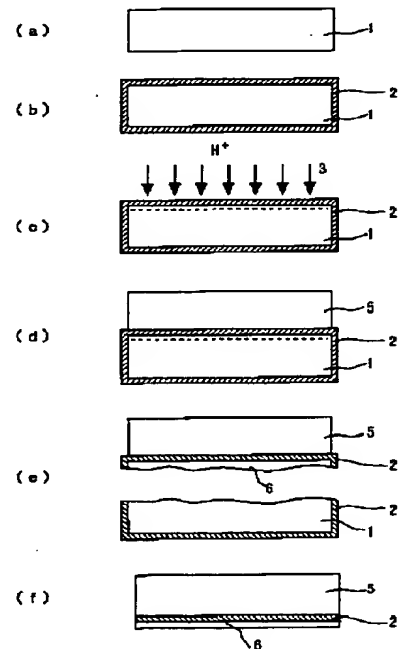
(74) 代理人 弁理士 高田 守 (外 1 名)

(54) 【発明の名称】 シリコンウェーハの製造方法およびシリコンウェーハ

(57) 【要約】

【課題】 シリコンウェーハ表面の化学的機械的研磨による表面不良のない S O I 構造のシリコンウェーハを得る。

【解決手段】 シリコンウェーハ表面から、水素イオン注入を行なって、水素注入層を形成し、これを加熱して水素注入層からシリコン表面を剥がした後、シリコンウェーハを水素雰囲気中でアニールして剥がれた表面を平坦にする。また、水素雰囲気中のプラズマ処理によりアニールを行う。また、ラピッドサーマルアニールによりアニールを行う。



1 ; シリコンウェーハ材 5 ; 基板材
2 ; シリコン酸化膜 6 ; シリコンウェーハ
4 ; 水素注入材

【特許請求の範囲】

【請求項 1】 表面にシリコン酸化膜が形成されたシリコンウェーハ材の一の主面から水素イオンを注入して水素注入層を形成する工程と、上記シリコンウェーハ材の上記一の主面に基板材を張り合わせる工程と、上記シリコンウェーハ材を加熱して上記シリコンウェーハ材の上記基板材と張り合わされた部分のシリコンウェーハを上記水素注入層において剥ぐ工程と、上記基板材と張り合わされて剥がされた部分の上記シリコンウェーハを水素雰囲気中でアニールして剥がされた表面を平坦にする工程とを含むことを特徴とするシリコンウェーハの製造方法。

【請求項 2】 上記アニールを、摂氏 1 0 5 0 度から 1 3 5 0 度の範囲に加熱して行うことを特徴とする請求項 1 に記載のシリコンウェーハの製造方法。

【請求項 3】 上記アニールを、水素雰囲気中のプラズマ処理により行うことを特徴とする請求項 1 に記載のシリコンウェーハの製造方法。

【請求項 4】 上記アニールを、ラピッドサーマルアニールにより行うことを特徴とする請求項 1 に記載のシリコンウェーハの製造方法。

【請求項 5】 上記アニールを、上記剥がされた表面の化学的機械的研磨を行った後に行なうことを特徴とする請求項 1 ないし 4 のいずれかに記載のシリコンウェーハの製造方法。

【請求項 6】 表面にシリコン酸化膜が形成されたシリコンウェーハ材の一の主面から水素イオンを注入して水素注入層を形成する工程と、上記シリコンウェーハ材の上記一の主面に基板材を張り合わせる工程と、上記シリコンウェーハ材を加熱して上記シリコンウェーハ材の上記基板材と張り合わされた部分のシリコンウェーハを上記水素注入層において剥ぐ工程と、上記基板材と張り合わされて剥がされた部分の上記シリコンウェーハの表面にシリコンをエピタキシャル成長させて平坦な新表面を形成する工程とを含むことを特徴とするシリコンウェーハの製造方法。

【請求項 7】 上記のシリコンのエピタキシャル成長を、トリクロルシラン (SiHCl_3)、ジクロルシラン (SiH_2Cl_2)、モノクロルシラン (SiH_3Cl) またはモノシラン (SiH_4) 中で摂氏 8 0 0 度以上の温度で行なうことを特徴とする請求項 6 に記載のシリコンウェーハの製造方法。

【請求項 8】 請求項 1 ないし 7 のいずれかに記載の製造方法により製造されたことを特徴とするシリコンウェーハ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 この発明は、半導体デバイスの低消費電力化、高速化、高集積化に有効な S O I (Silicon on Insulator) 構造のシリコンウェーハの製造方

法に関するものである。

【0 0 0 2】

【従来の技術】 従来から S O I ウェーハの製造方法として、いろいろな方法が提案されているが、近年有力とされる方法に、スマートカット法と称される方法がある (例えば、ELECTRONICS LETTERS 31 (1995) 1201 参照)。スマートカット法について説明すると、まずシリコンウェーハを熱酸化して表面にシリコン酸化膜を形成する。次に、シリコンウェーハ表面から、水素イオン注入を行なって、水素注入層を形成する。次に、シリコンウェーハの水素注入層のある側に、ベースウェーハを貼り合わせる。次に、このシリコンウェーハを加熱して、水素注入層からシリコン表面を剥がす。こうして基板材の上に薄いシリコン層を形成する。この時、薄いシリコン層の剥がし面には微少な凸凹が形成されるため、表面を化学的機械的に研磨し平滑化して、S O I ウェーハを製造する。一方、最近、化学的機械的研磨の影響がデバイスの特性、歩留まりに大きく現われることが報告されている (H. Yamamoto et al, Proceeding of The 2nd International Symposium on Advanced Science and Technology of Silicon Materials, (1996) P425)。

【0 0 0 3】

【発明が解決しようとする課題】 このようなシリコンウェーハ表面の研磨における不良は、上記のようなスマートカット法など従来の方法で製造した S O I 構造のウェーハでも同様に生じ、デバイスの特性、歩留まりを低下させる原因となっていた。この発明は、このような従来の問題を解決し、表面に不良のない S O I 構造の半導体ウェーハを提供しようとするものである。

【0 0 0 4】

【課題を解決するための手段】 この発明のシリコンウェーハの製造方法は、表面にシリコン酸化膜が形成されたシリコンウェーハ材の一の主面から水素イオンを注入して水素注入層を形成する工程と、上記シリコンウェーハ材の上記一の主面に基板材を張り合わせる工程と、上記シリコンウェーハ材を加熱して上記シリコンウェーハ材の上記基板材と張り合わされた部分のシリコンウェーハを上記水素注入層において剥ぐ工程と、上記基板材と張り合わされて剥がされた部分の上記シリコンウェーハを水素雰囲気中でアニールして剥がされた表面を平坦にする工程とを含むことを特徴とするものである。

【0 0 0 5】 また、この発明のシリコンウェーハの製造方法は、上記アニールを、摂氏 1 0 5 0 度から 1 3 5 0 度の範囲に加熱して行うことを特徴とするものである。また、この発明のシリコンウェーハの製造方法は、上記アニールを、水素雰囲気中のプラズマ処理により行うことを特徴とするものである。

【0 0 0 6】 また、この発明のシリコンウェーハの製造方法は、上記アニールを、ラピッドサーマルアニールに

10

20

30

40

50

より行うことを特徴とするものである。また、この発明のシリコンウェーハの製造方法は、上記アニールを、上記剥がされた表面の化学的機械的研磨を行った後に行なうことを特徴とするものである。

【0007】また、この発明のシリコンウェーハの製造方法は、表面にシリコン酸化膜が形成されたシリコンウェーハ材の一の主面から水素イオンを注入して水素注入層を形成する工程と、上記シリコンウェーハ材の上記一の主面に基板材を張り合わせる工程と、上記シリコンウェーハ材を加熱して上記シリコンウェーハ材の上記基板材と張り合わされた部分のシリコンウェーハを上記水素注入層において剥ぐ工程と、上記基板材と張り合わされて剥がされた部分の上記シリコンウェーハの表面にシリコンをエピタキシャル成長させて平坦な新表面を形成する工程とを含むことを特徴とするものである。また、この発明のシリコンウェーハの製造方法は、上記のシリコンのエピタキシャル成長を、トリクロルシラン (SiHCl_3)、ジクロルシラン (SiH_2Cl_2)、モノクロルシラン (SiHCl) またはモノシラン (SiH_4) 中で摂氏 800 度以上の温度で行なうことを特徴とするものである。

【0008】

【発明の実施の形態】以下、この発明の実施の形態を図を参照して説明する。なお、図中、同一の符号は同一または相当の部分を示す。

実施の形態 1. 図 1 は、この発明の実施の形態 1 の SOI ウェーハの製造方法を説明する図であり、(a) ~ (f) は、各工程の断面図を示す。この製造方法について説明すると、先ず図 1 (a) に示すように、シリコンウェーハ材 1 を準備し、図 2 (b) に示すように、シリコンウェーハ材 1 を熱酸化して表面にシリコン酸化膜 2 を形成する。次に、図 1 (c) に示すように、シリコンウェーハ材 1 の一つの表面から、 $2 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^2$ の水素イオン注入を行なって、水素注入層 4 を形成する。その後、図 1 (d) に示すように、シリコンウェーハ材 1 の水素注入をした表面の側に、別のシリコンウェーハ材 (ベースウェーハ) などの適当な基板材 5 を貼り合わせる。

【0009】その後、このシリコンウェーハ材 1 を 400 ~ 600℃ に加熱すると、図 5 (e) に示すように、基板材 5 が張り合わされた側のシリコンウェーハ材 1 の表面部分を水素注入層 4 から剥がすことができる。こうして基板材 5 の上に薄いシリコン層 6 を形成した SOI 構造のシリコンウェーハ 7 を得る。この時、薄いシリコン層 6 の剥がし面には 20 nm 程度の凸凹が形成される。そのため、必要に応じて、図 5 (f) に示すように、シリコン層 6 の表面を化学的機械的に研磨し平滑化する。ここまでの工程は、いわゆるスマートカット法と称される方法と同様である。

【0010】次に、シリコンウェーハ 7 を、水素雰囲気

中でアニールする。図 2 は、アニールを行うためのアニール装置 (炉) をしめす。図 2 において、7 はアニールをするシリコンウェーハ、8 はこのウェーハを保持する保持具、9 は炉体である。炉体 9 の上部入り口から水素ガスが導入され、下部出口から排出される。このアニール炉により、図 1 (e) の段階のシリコンウェーハ 7 を、摂氏 1050 度から 1350 度で水素雰囲気中で数 10 秒から数 10 分のアニールを行なう。これにより図 1 (f) に示すような表面の平坦なシリコンウェーハ 7 が得られる。加熱温度が、摂氏 1050 度以下だと、アニールに長時間を要する。また、加熱温度が、摂氏 1350 度以上だと、シリコンが熔融するので適当でない。このように、加熱温度を、摂氏 1050 度 ~ 1350 度の範囲とすることにより、プロセスの安定化、スループットの向上、ウェーハ品質の向上が実現できる。

【0011】上記のように水素雰囲気中でのアニールにより、シリコンウェーハの表面が平坦になるのは、表面のシリコン原子が再配列する等の効果による。シリコン原子の再配列の様子を図 3 に示す。図 3 (a) は、アニールする前のシリコン表面を拡大して模式的に示した断面図である。水素雰囲気中で加熱すると、図 3 (b) に示すように、水素の効果によりシリコン表面が活性化され、シリコン原子が表面を動き回りエネルギー安定点に移動する。この結果、図 3 (c) に示すように、表面が平坦になる。

【0012】アニールするシリコンウェーハは、図 1 (e) の段階で表面が剥がれたままでアニールすると、化学的機械的研磨の影響のないシリコンウェーハが製造できる。また、図 1 (f) の段階で、アニールするまえに、必要に応じて表面に影響を残さない程度に、適度に化学的機械的研磨を施しておくようにしてもよい。予め適度の化学的機械的研磨を施した場合には、水素によるアニールの簡略化、迅速化を図ることができ、またこの場合にも最終的に化学的機械的研磨の影響のないシリコンウェーハを得ることができる。

【0013】実施の形態 2. 図 4 は、この発明の実施の形態 2 の SOI 構造のシリコンウェーハの製造方法を説明する図であり、ラビッドアニール装置を示す。図 4 において、7 はアニールをするシリコンウェーハ、10 はこのシリコンウェーハを保持する保持具 (サセプタ)、11 は透明チャンバ、12 は加熱用の赤外線等のランプを示す。水素ガスは、チャンバ 11 の図示左側の入口より導入され、右側の出口から排出される。

【0014】実施の形態 1 では、水素処理をアニール炉を用いたバッチ方式で行なっている。この実施の形態では、シリコンウェーハ 1 枚毎の、枚葉の処理が可能であり、熱放射光をシリコンウェーハに短時間照射してアニールする、いわゆる短時間アニール (ラビッドサーマルアニール) により処理する。ラビッドアニール装置としては、ハロゲンランプ、アークランプなどによる赤外線

アニール装置、キセノンフラッシュランプなどによるフラッシュランプアニール装置などが用いられる。なお、アニールするシリコンウェーハ 7 の準備工程は、実施の形態 1 と同様である。このような短時間アニールによれば、プロセスが制御しやすい等の効果がある。

【0015】実施の形態 3。図 5 は、この発明の実施の形態 3 の SOI 構造のシリコンウェーハの製造方法を説明する図であり、プラズマアニール装置を示す。図 5 において、7 はアニールをするシリコンウェーハ、13 はシリコンウェーハ 7 を挟む電極、14 はチャンバ、15 は高周波発生機、16 はコンデンサを示す。また、電極 13 の下側電極は、図示していない加熱装置により温度を数 100℃ にコントロールする。水素ガスは、チャンバ 14 の図示左側の入口より導入され、右側の出口から排出される。この例では、水素中のプラズマ処理を高周波電力により行なっている。また、プラズマの発生は ECR (電子-サイクロトロン共鳴)、光等の他の励起源を用いて行なっても良い。なお、アニールするシリコンウェーハ 7 の準備工程は、実施の形態 1 と同様である。

【0016】実施の形態 1 及び 2 では、水素中の高温処理でのアニールで行なっている。この実施の形態では、プラズマ中で水素処理をしてアニールを行なう。このようにすると、処理温度を室温から 600℃ 程度まで下げることができる等の効果がある。また、このようなプラズマ処理では、処理時間は、実施の形態 1 に比べて短いので、プロセスが制御しやすい、汚染が導入されにくい等の効果がある。

【0017】実施の形態 4。図 6 は、この発明の実施の形態 4 の SOI 構造のシリコンウェーハの製造方法を説明する図であり、シリコンのエピタキシャル成長装置を示す。図 6 において、7 はエピタキシャル成長をさせるシリコンウェーハ、17 はこのシリコンウェーハを保持して回転する保持具、18 は高周波コイル、19 はチャンバを示す。水素ガスは、チャンバ 19 の図示左側の入口より導入され、右側の出口から排出される。

【0018】実施の形態 1 ではウェーハ剥がしの後、水素アニールを行なっている。これに対し、この実施の形態では、図 1 (e) の工程で水素注入層 4 から薄いシリ

コン層 6 を剥がした後、剥がされた面にシリコンのエピタキシャル成長を行ない新たな表面を平坦に形成する。このシリコンのエピタキシャル成長は、トリクロルシラン (SiHCl_3)、ジクロルシラン (SiH_2Cl_2)、モノクロルシラン (SiH_3Cl) またはモノシラン (SiH_4) 中で 800℃ 以上で行なう。これらの材料を用いることにより、シリコン成長層の表面での欠陥低減層を形成することができる。なお、エピタキシャル成長をさせるためのシリコンウェーハ 7 の準備工程は、実施の形態 1 と同様である。このような製造方法によれば、化学的機械的研磨の影響をなくすることができる上、さらにシリコンウェーハのシリコン層 6 の膜厚の制御等が可能となる。

【0019】

【発明の効果】以上説明したように、この発明によれば、表面が化学的機械的研磨の影響を受けない特性のよい表面層を備えた SOI 構造のシリコンウェーハを得ることができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 よるシリコンウェーハの製造プロセスを示す断面図。

【図 2】 この発明の実施の形態 1 における水素中の熱処理を行なうアニール装置を示す断面図。

【図 3】 この発明の実施の形態 1 におけるシリコンウェーハの表面を説明するための断面図。

【図 4】 この発明の実施の形態 2 における水素中の熱処理を行うラピッドアニール装置を示す断面図。

【図 5】 この発明の実施の形態 3 における水素処理を水素プラズマ中で行なうプラズマアニール装置を示す断面図。

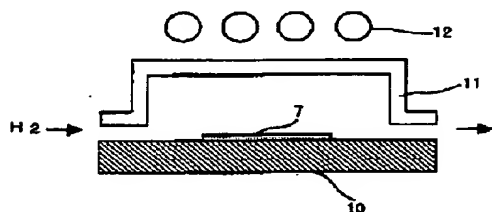
【図 6】 この発明の実施の形態 4 におけるエピタキシャル成長を説明するための図。

【図 7】 この発明の実施の形態 4 におけるシリコンウェーハを示す断面図。

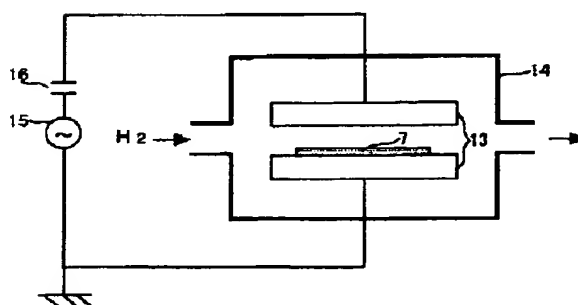
【符号の説明】

1 シリコンウェーハ材、 2 シリコン酸化膜、 4 水素注入層、 5 基板材、 6 シリコン層、 7 シリコンウェーハ。

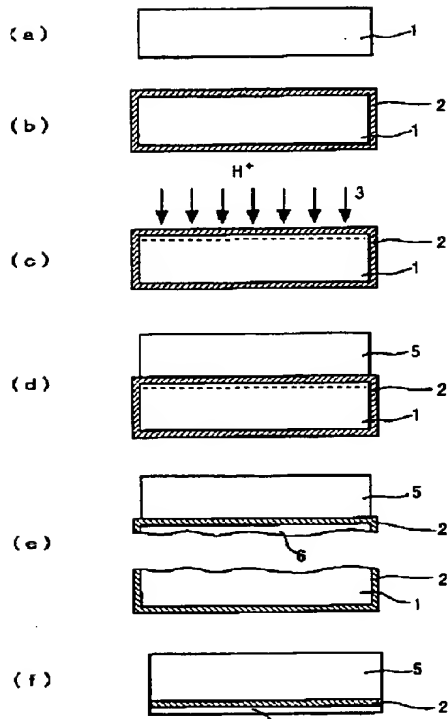
【図 4】



【図 5】

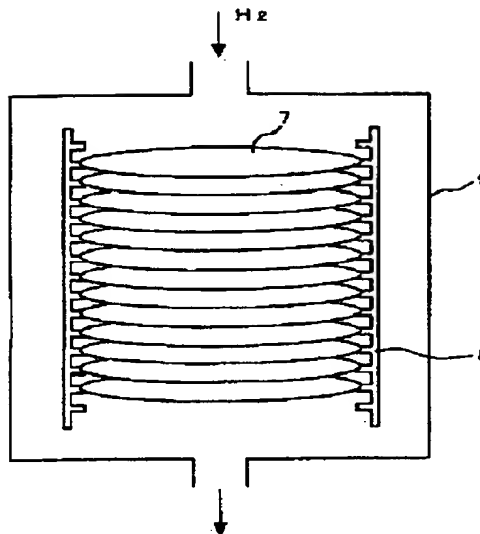


【図 1】

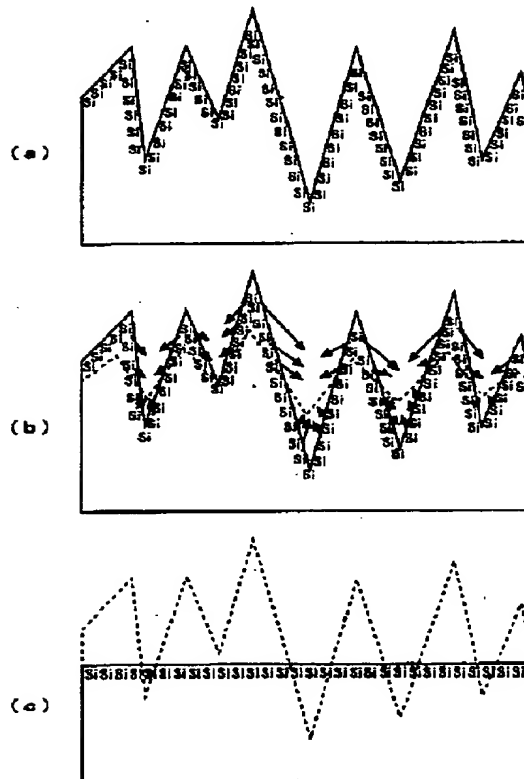


1 ; シリコンウェーハ材 5 ; 基板材
2 ; シリコン酸化膜 6 ; シリコンウェーハ
4 ; 水素注入材

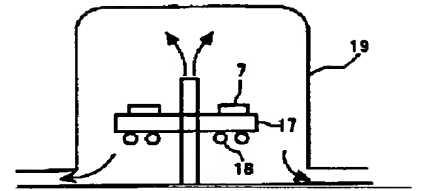
【図 2】



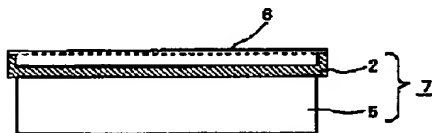
【図 3】



【図 6】



【図 7】



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the manufacture method of the silicon wafer of SOI (Silicon on Insulator) structure effective in low-power-izing of a semiconductor device, improvement in the speed, and high integration.

[0002]

[Description of the Prior Art] Although various methods are proposed as the manufacture method of a SOI wafer from the former, the method called the smart cutting method is in the method made leading in recent years (for example, ELECTRONICS LETTERS 31 (1995) 1201 reference). If the smart cutting method is explained, a silicon wafer will be first oxidized thermally and a silicon oxide will be formed in a front face. Next, from a silicon wafer front face, hydrogen ion pouring is performed and a hydrogen pouring layer is formed. Next, a base wafer is stuck on a side with the hydrogen pouring layer of a silicon wafer. Next, this silicon wafer is heated and a silicon front face is removed from a hydrogen pouring layer. In this way, a thin silicon layer is formed on substrate material. Since a thin silicon layer removes and very small unevenness is formed in a field at this time, a front face is ground chemically mechanically, is smoothed and a SOI wafer is manufactured. It is reported that the influence of chemical mechanical polish appears greatly in the property of a device and the yield on the other hand recently (H. Yamamoto et al, Proceeding of The 2 nd International Symposium on Advanced Science and Technology of Silicon Materials, P(1996) 425).

[0003]

[Problem(s) to be Solved by the Invention] The defect in such silicon wafer surface lapping produced similarly the wafer of the SOI structure manufactured by the conventional methods, such as the above smart cutting methods, and had become the cause of reducing the property of a device, and the yield. This invention tends to solve such a conventional problem and tends to provide a front face with the semiconductor wafer of the poor SOI structure which is not.

[0004]

[Means for Solving the Problem] The process which the manufacture method of the silicon wafer this invention pours in a hydrogen ion from the principal plane of 1 of the silicon wafer material by which the silicon oxide was formed in the front face, and forms a hydrogen pouring layer, The process which makes substrate material rival in the principal plane of the above 1 of the above-mentioned silicon wafer material, The process which strips the silicon wafer of the portion which heated the above-mentioned silicon wafer material and was made to rival the above-mentioned substrate material of the above-mentioned silicon wafer material in the above-mentioned hydrogen pouring layer, It is characterized by including the process which makes flat the front face which annealed the above-mentioned silicon wafer of the portion which was made to rival the above-mentioned substrate material and was removed in hydrogen atmosphere, and was removed.

[0005] Moreover, the manufacture method of the silicon wafer this invention is characterized by heating the above-mentioned annealing in the range of 1050-degree Centigrade to 1350 degrees, and performing it. Moreover, the manufacture method of the silicon wafer this invention is characterized by performing the above-mentioned annealing by the plasma treatment in hydrogen atmosphere.

[0006] Moreover, the manufacture method of the silicon wafer this invention is characterized by performing the above-mentioned annealing by rapid thermal annealing. Moreover, the manufacture method of the silicon wafer this invention is characterized for the above-mentioned annealing by carrying out, after performing chemical mechanical polish of the removed front face the account of a top.

[0007] Moreover, the manufacture method of the silicon wafer this invention The process which pours in a hydrogen

ion from the principal plane of 1 of the silicon wafer material by which the silicon oxide was formed in the front face, and forms a hydrogen pouring layer, The process which makes substrate material rival in the principal plane of the above 1 of the above-mentioned silicon wafer material, The process which strips the silicon wafer of the portion which heated the above-mentioned silicon wafer material and was made to rival the above-mentioned substrate material of the above-mentioned silicon wafer material in the above-mentioned hydrogen pouring layer, It is characterized by including the process which silicon is grown epitaxially into the front face of the above-mentioned silicon wafer of the portion which was made to rival the above-mentioned substrate material and was removed, and forms a flat new front face in it. Moreover, the manufacture method of the silicon wafer this invention is characterized by growing the above-mentioned silicon epitaxially at the temperature of 800-degree more than Centigrade in trichlorosilan (SiHCl_3), a dichloro silane (SiH_2Cl_2), a monochrome crawl silane (SiH_2Cl), or a mono silane (SiH_4).

[0008]

[Embodiments of the Invention] Hereafter, the gestalt of implementation of this invention is explained with reference to drawing. In addition, the same sign shows a same or considerable portion among drawing.

Gestalt 1. drawing 1 of operation is drawing explaining the manufacture method of the SOI wafer of the gestalt 1 implementation this invention, and (a) - (f) shows the cross section of each process. If this manufacture method is explained, as are first shown in drawing 1 (a), and the silicon wafer material 1 is prepared and it is shown in drawing 2 (b), the silicon wafer material 1 will be oxidized thermally and a silicon oxide 2 will be formed in a front face. Next, as shown in drawing 1 (c), from one front face of the silicon wafer material 1, hydrogen ion pouring of $2 \times 10^{16} - 1 \times 10^{17} / \text{cm}^2$ is performed, and the hydrogen pouring layer 4 is formed. Then, as shown in drawing 1 (d), the substrate material 5 with another, suitable silicon wafer material (base wafer) etc. for the front-face side which carried out hydrogen pouring of the silicon wafer material 1 is stuck.

[0009] Then, if this silicon wafer material 1 is heated at 400-600 degrees C, as shown in drawing 5 (e), the surface portion of the silicon wafer material 1 of the side the substrate material 5 was made to rival can be removed from the hydrogen pouring layer 4. In this way, the silicon wafer 7 of the SOI structure in which the thin silicon layer 6 was formed on the substrate material 5 is obtained. At this time, the thin silicon layer 6 removes and unevenness of about 20nm is formed in a field. Therefore, if needed, as shown in drawing 5 (f), the front face of the silicon layer 6 is ground chemically mechanically, and is smoothed. The process so far is the same as that of the method called the so-called smart cutting method.

[0010] Next, a silicon wafer 7 is annealed in hydrogen atmosphere. Drawing 2 shows the annealer (furnace) for performing annealing. In drawing 2, the silicon wafer with which 7 carries out annealing, the holder to which 8 holds this wafer, and 9 are furnace bodies. Hydrogen gas is introduced from the up entrance of a furnace body 9, and it is discharged from a lower outlet. This annealing furnace performs annealing for number 10 minutes from several 10 seconds for the silicon wafer 7 of the stage of drawing 1 (e) in hydrogen atmosphere at 1350 degrees from 1050-degree Centigrade. The silicon wafer 7 with a flat front face as this shows to drawing 1 (f) is obtained. If heating temperature is 1050-degree less than Centigrade, annealing will take a long time to it. Moreover, if heating temperature is 1350-degree more than Centigrade, since silicon will fuse, it is not suitable. Thus, stabilization of a process, improvement in a throughput, and improvement in wafer quality are realizable by making heating temperature into the range of 1050-degree Centigrade - 1350 degrees.

[0011] By annealing in the inside of hydrogen atmosphere, a surface silicon atom depends on effects [that the front face of a silicon wafer becomes flat], such as carrying out a rearrangement, as mentioned above. The situation of the rearrangement of a silicon atom is shown in drawing 3. Drawing 3 (a) is the cross section in which having expanded the silicon front face before annealing, and having shown it typically. If it heats in hydrogen atmosphere, as shown in drawing 3 (b), a silicon front face is activated by the effect of hydrogen, and a silicon atom will move a front face and will move to a time rate energy stable point. Consequently, a front face becomes flat as shown in drawing 3 (c).

[0012] If the silicon wafer which anneals is annealed while the front face had separated in the stage of drawing 1 (e), it can manufacture a silicon wafer without the influence of chemical mechanical polish. Moreover, in the stage of drawing 1 (f), before annealing, you may give chemical mechanical polish moderately to the grade which does not leave influence to a front face if needed. When moderate chemical mechanical polish is given beforehand, the silicon wafer which can attain simplification of annealing by hydrogen and speeding up, and finally does not have the influence of chemical mechanical polish in this case can be obtained.

[0013] Gestalt 2. drawing 4 of operation is drawing explaining the manufacture method of the silicon wafer of the SOI structure of the gestalt 2 implementation this invention, and shows a rapid annealer. As for the holder (susceptor) holding this silicon wafer, and 11, in drawing 4, a transparent chamber and 12 show [the silicon wafer with which 7

carries out annealing, and 10] lamps, such as infrared radiation for heating. Hydrogen gas is introduced from the entrance on the left-hand side of [illustration] a chamber 11, and is discharged from a right-hand side outlet.

[0014] With the gestalt 1 of operation, the batch method which used the annealing furnace is performing hydrogen processing. With the gestalt of this operation, the processing of a sheet for every one silicon wafer is possible, and it processes by the so-called short-time annealing (rapid thermal annealing) which carries out short-time irradiation and anneals thermal radiation light to a silicon wafer. As a rapid annealer, a FURASHU lamp annealer with the infrared annealer by the halogen lamp, the arc lamp, etc., a xenon FURASHU lamp, etc. is used. In addition, the preparation process of a silicon wafer 7 of annealing is the same as the gestalt 1 of operation. According to such short-time annealing, there is an effect of being easy to control a process.

[0015] Gestalt 3. drawing 5 of operation is drawing explaining the manufacture method of the silicon wafer of the SOI structure of the gestalt 3 implementation this invention, and shows a plasma annealer. A chamber and 15 show a RF generating machine and, as for the silicon wafer with which 7 carries out annealing in drawing 5, the electrode into which 13 inserts a silicon wafer 7, and 14, 16 shows a capacitor. Moreover, the bottom electrode of an electrode 13 controls temperature at several 100 degrees C with the heating apparatus which is not illustrated. Hydrogen gas is introduced from the entrance on the left-hand side of [illustration] a chamber 14, and is discharged from a right-hand side outlet. In this example, RF power is performing plasma treatment in hydrogen. Moreover, you may perform generating of plasma using other sources of excitation, such as efficient consumer response (electron cyclotron resonance) and light. In addition, the preparation process of a silicon wafer 7 of annealing is the same as the gestalt 1 of operation.

[0016] The gestalten 1 and 2 of operation are performing by annealing in high temperature processing in hydrogen. With the gestalt of this operation, hydrogen processing is carried out in plasma and annealing is performed. When it does in this way, there is an effect of being able to lower processing temperature from a room temperature to about 600 degrees C. Moreover, in such plasma treatment, since the processing time is short compared with the gestalt 1 of operation, it has the effect of that it is easy to control a process, contamination being hard to be introduced.

[0017] Form 4. drawing 6 of operation is drawing explaining the manufacture method of the silicon wafer of the SOI structure of the form 4 implementation this invention, and shows the epitaxial growth system of silicon. In drawing 6, the silicon wafer which grows 7 epitaxially, the holder which 17 holds this silicon wafer and rotates, and 18 show a high frequency coil, and 19 shows a chamber. Hydrogen gas is introduced from the entrance on the left-hand side of [illustration] a chamber 14, and is discharged from a right-hand side outlet.

[0018] With the gestalt 1 of operation, wafer ** is performing hydrogen annealing after **. On the other hand, with the gestalt of this operation, after removing the thin silicon layer 6 from the hydrogen pouring layer 4 at the process of drawing 1 (e), silicon is grown epitaxially to the removed field and a new front face is evenly formed in it. Epitaxial growth of this silicon is performed above 800 degrees C in trichlorosilan (SiHCl_3), a dichloro silane (SiH_2Cl_2), a monochrome crawl silane (SiH_2Cl), or a mono silane (SiH_4). By using such material, the defective reduction layer in the front face of a silicon growth phase can be formed. In addition, the preparation process of the silicon wafer 7 for making it grow epitaxially is the same as the gestalt 1 of operation. According to such a manufacture method, when the influence of chemical mechanical polish can be lost, control of the thickness of the silicon layer 6 of a silicon wafer etc. is still attained.

[0019]

[Effect of the Invention] As explained above, according to this invention, the silicon wafer of SOI structure with which the front face was equipped with the surface layer with the sufficient property of not being influenced of chemical mechanical polish can be obtained.

[Translation done.]